

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-049432

(43)Date of publication of application : 11.03.1986

(51)Int.Cl.

H01L 21/60

(21)Application number : 59-171937

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 18.08.1984

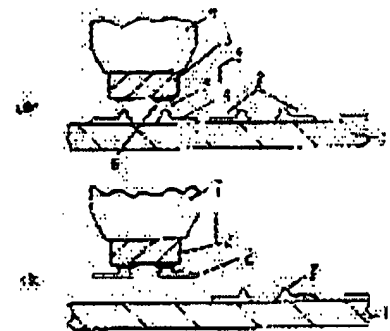
(72)Inventor : HATADA KENZO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To attach leads to a semiconductor element in a high yield by providing lead group extending out of the end of the element on a substrate corresponding to the electrodes of the element, positioning them with the electrodes, pressurizing, heating and separating from the substrate and bonding to the electrodes.

CONSTITUTION: Lead group 2 are provided on a glass substrate 1, projections 3 are formed on positions corresponding to the electrodes 6 of a semiconductor element 5, and extended at 4 out of the end of the element. The lead group 2 are formed of a material which can be readily alloyed with the electrodes 6 of the element 5 by plating or printing. The element 5 is attracted by a tool 7, the electrodes 5 are positioned with the projections 3, the tool 7 is then moved down to pressurize, heat and bond them. When the tool is then moved up, the lead group 2 is separated from the substrate 1, and the lead group are formed on the electrodes 6 of the element. According to this configuration, the circuit substrate is prevented from expanding or warping by the lead terminal completely to eliminate the improper connection and to obviate the decrease in the yield.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑨ 公開特許公報 (A) 昭61-49432

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)3月11日

H 01 L 21/60

6732-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭59-171937

⑯ 出 願 昭59(1984)8月18日

⑰ 発 明 者 畑 田 賢 造 門真市大字門真100番地 松下電器産業株式会社内

⑱ 出 願 人 松下電器産業株式会社 門真市大字門真100番地

⑲ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 基板の上に形成され、少なくとも半導体素子の電極と対応し、前記半導体素子の周外へ延在するリード群と前記半導体素子の電極とを位置合せ、加圧、加熱せしめ、前記リード群を前記基板上から剝離し前記半導体素子の電極に接合することを特徴とする半導体装置の製造方法。

(2) リード群の半導体素子の電極と対応する位置に突起が形成されていることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(3) リード群を形成する基板の全面膜において、リード群の突起を形成する領域の全面膜が低抵抗、その他の領域が比較的高抵抗を有することを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は半導体素子の電極に外部回路との接続

用リード群を両面に接続する方法に関するものである。

従来例の構成とその問題点

近年、IC、LSI等の半導体素子は各種の電気回路部品、回路用部品の分野へ導入されている。これら電気回路部品、回路用部材は省資源化、小型化、高電力化のためあるいは利用範囲を拡大させるため、小型化、薄型化のいわゆるポーダブル化が促進されてきている。

半導体素子においてもポーダブル化に対応するため、パッケージングの小型化、薄型化が要求されてきている。従来技術、電気配線工程の終了したシリコンスライスは半導体素子単位のチップに切斷され、フリップの周辺に設けられたアルミ電極端子から外部端子へ電極リードを取出して電気的接合がなされる。従来、これら半導体素子のパッケージングにはリソ、フリップチャリヤ、フリップチップ、テープキャリア方式等が用いられている。この中で電気配線部の信頼性が高く、小型化、薄型化

特開昭61-19432(2)

のパッケージングを提供できるものとして、フリップアップとターンキャリア方式がある。フリップアップ方式は、半導体素子上の電極端子上にバリヤメタルと呼ばれる多層金属膜を設け、さらに、この多層金属膜上に電気メッキ法により金属突起を設け、前記金属突起を回路基板の配線パターンに一括接合する方式である。またターンキャリア方式は前記フリップアップ方式と同様に、半導体素子上の電極端子上にバリヤメタルを介して電気メッキ法により金属突起を形成する。そして、一定長の長さのポリイミドテープ上に金属リード端子を設け、半導体素子の電極端子上の金属突起とリード端子とを、電極端子側に金属膜に同時に一括接合するものである。しかしながらこれらフリップアップ、ターンキャリア方式も次の様な問題がある。

フリップアップおよびターンキャリア方式は、半導体素子の電極端子上に金属突起を形成するための工程として多層電極膜を形成するための電解工程、電解メッキ用マスクを形成するためのフォ

トリソ工程、電解メッキで金属突起を形成するためのメッキ工程として、不要の前記多層電極膜を除去するためのエッチング工程を必要とし、これらの工程によって、半導体素子に損傷を与え、この工程での歩留りを低下し、金属突起形成工程のコストを高価にしていた。またフリップアップ方式においては、半導体素子の電極端子上に形成した金属突起を回路基板の配線パターンに直接接合するために、前記回路基板に熱膨張や機械的歪が発生すると、その応力を緩和できず、金属突起の接合部分や半導体素子を損傷せしめ完全な電気的不良を多発せしめていた。一方フィルムキャリア方式においては、半導体素子の電極端子上に形成した金属突起と金属リード端子を接合し、この金属端子を利用して電気的剥離を行った後、前記金属リード端子を所定の長さで切断し、これを同時並進の配線パターンに接合していた。このために、フリップアップ方式で問題となっていた回路基板の熱膨張や機械的歪を前記リード端子で完全に緩和でき、接合の信頼性が著しく高いもので

あるが、金属リードを形成した前記ポリイミドテープの製造コストが著しく高く、製造性を欠くものである。

発明の目的

本発明はこのような従来の問題に著し、回路基板の熱膨張やそれに対応し接合不良が発生しないばかりか、半導体素子の歩留りを低下させない安価な接合方法を提供することを目的とする。

発明の構成

本発明は、基板上に半導体素子の電極と対応した位置に突起を有し、前記半導体素子の端外へ延在するリード部を形成してあり、前記リード部の突起とを接合せしめ、基板上のリード部を剥離・転写し、半導体素子の電極上に形成する構成である。

実施例の説明

図1図で本発明の実施例を説明する。リード部2を形成する基板1はセラミック、ガラス等の絶縁体を基体として形成され、リード部2は半導体素子5の電極6と相対する位置に突起2を有し、

半導体素子の端外へ延在した構成である。またリード部2はメッキ材または印刷法等により基板1上に形成され、その材料はAu、Cu、Ag等であり、少なくとも半導体素子5の電極6と合金化しやすい材料である。

半導体素子5をソール7で吸引し、前記半導体素子5の電極6(例えばアルミ)6とリード部2の突起2とを位置合せする(図2図3)。次いで、ソール7を下降させしめ、ソール7により加圧・加熱すれば、半導体素子5の電極6とリード部2の突起2とが接合されソール7を上げおとしればリード部2は基板1から剥離され丁度、半導体素子の電極6にboom・リードが形成された状態となる(図4図5)。ここでリード部2がAuで形成されるならば、Au-Agの合金で半導体素子5の電極6とリード部2は接合されるものであり、また、リード部2がAu、半導体素子の電極6がAgで形成されればAg-Auの圧力で接合される。またソール7の加圧力はリード部1本当たり20〜100gで、温度は250〜550℃で、加熱時間2〜

1.5秒で衝突を融合が得られる。

次にリード群を形成するための基板の構成例について説明する。リード群は半導体素子の電極との接合を完全に実装するために突起が形成される。この突起によりソール・加圧・加熱時に偏平的に電極に間隙が作用し、より合金化を作りやすくするものである。図2図において半導体素子の電極と対向する位置の基板1上に突起10が形成され、基板1の接合面にわたり導電膜11が形成される。導電膜11はPt, Pd, Ni, 炭素膜で構成されメッキ処理が行なえ、かつ銅膜が容易な材料を用いる。

メッキ用のマスク12, 12'はリード群2を形成するパターンを有し、 SiO_2 , B_2O_3 , Si_3N_4 , Al_2O_3 やポリイミド膜等の比較的耐熱性のある材料で構成される。導電膜11をメッキ用の一方の電極として電解メッキ処理すれば図2の如くリード群が形成される。リード群2は基板1の突起10に相当する領域は、他の領域よりも高く、すなわち突起を有するリード群を得ることができる。半導

特開明細書 49432(3)

体素子の電極にリード群を転写・接合した後、基板1は再反メッキ処理すれば、あらたにリード群を形成できるものである。

第3図によって基板の他の構成例を説明する。基板1'上において、半導体素子の電極と対向する領域の導電膜11'と延在する他の領域の導電膜11'との比抵抗が異なる。導電膜11'は低い抵抗を有し、導電膜11'は導電膜11'よりも高い抵抗を示し、例えば導電膜11'と11'とは同一材質で抵抗値の異なる薄膜であっても良いし、異種材料で構成しても良い。次にリード群を形成するためのメッキ用マスク12, 12'を形成する。メッキ用マスクの材料は第2図の構成と同一である。第3図の構成でメッキ処理すれば、抵抗値の高い所はメッキ溶液中に於いて、電界が低くなるので形成されるメッキ層が薄くなり、逆に抵抗値の低い所はメッキ層が厚くなる。したがって抵抗値の低い導電膜11'上には厚く、導電膜11'上には薄く形成されるので突起を有するリード群2を形成できる。また抵抗値の高い領域は一般にメッキの

附着力も高いので、半導体素子の電極に転写・接合する際に、容易に基板から剝離しやすい効果がある。

実施例ではリードの形成をメッキ法で行なったが、印刷法により形成することもできる。

次に本発明の半導体装置を基板に実装する場合を説明する。リード群を半導体素子の電極に接合すれば、半導体素子の端部へリード群が延在した構造となるから、図4図の如くリード群2に電気特性測定用の探针を接触させれば、容易に半導体素子の電気的検査を行なうことができる。次に取組の終了した半導体素子5は、図5図の28の圧縮パターン27にフェイスダウンの形で半田づけ28固定しても良いし(図5図)、図5図の28に図5図28を設け、これに半導体素子5を挿入し、圧縮パターン27と半田づけ28を固定することにより(図5図)実装するものである。

発明の効果

(1) 半導体素子の電極へのリード形成が、一回の接合工程でしかも一括して形成できる。この

ため半導体素子へのリード形成のための設備が若くしく簡略し、かつ材料および製造コストが安価になる。

(2) リード群が半導体素子の端部へ延在した構成であるため、リード群の接合後に半導体素子の電気的検査が容易に行なり、不良の半導体素子を図5図に搭載する事がないから実装の歩留りおよび信頼度が高い。また、

(3) リード群が半導体素子の端部へ延在した構成であるため、そのまま図5図の28に搭載できるため、余分の工程、設備が不用であり、若くしく信頼度が高く、製造コストが安価になる。

(4) また、リード群を形成する基板も何回も繰返しメッキ処理できるので、リード群の形成費用を若くしく安価にできる。

4、図4の図面を説明

第1図a, bは本発明の一実施例の工程を示す断面図。第2図, 第3図は本発明のリード群を形成するための基板の構成例を示す断面図。第4図は検査方法を示す断面図。第5図a, bは本発明

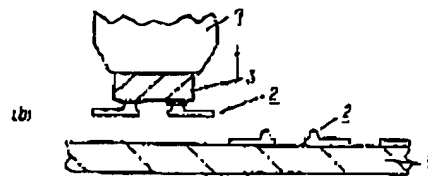
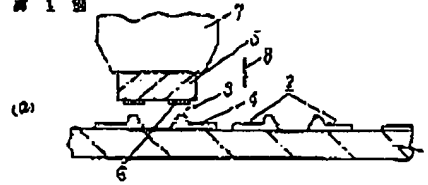
特許第61-49432(4)

の半導体装置の実施例を示す断面図である。

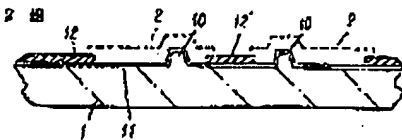
1……基板、2……リード脚、5……素子、6……電極、7……ツェル。

代領人の氏名 齊田士 中 尾 敏 男 様 宛 1 名

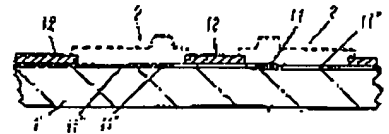
第 1 図



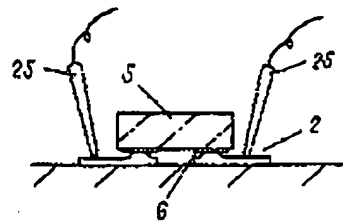
第 2 図



第 3 図



第 4 図



第 5 図

